

(43)公開日 平成9年(1997)3月7日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B 1/40			H 0 4 B 1/40	
H 0 3 D 7/18			H 0 3 D 7/18	
H 0 3 F 1/32			H 0 3 F 1/32	
H 0 4 B 10/17			H 0 3 M 1/00	
10/16			H 0 4 B 9/00	J
<div> <div>審査請求</div> <div>未請求</div> <div>請求項の数20</div> <div>OL</div> <div>(全 19 頁)</div> <div>最終頁に続く</div> </div>				

(21)出願番号	特願平7-210870	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22)出願日	平成7年(1995)8月18日	(72)発明者	高野 健 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72)発明者	大石 泰之 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72)発明者	福田 英輔 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74)代理人	弁理士 林 恒徳

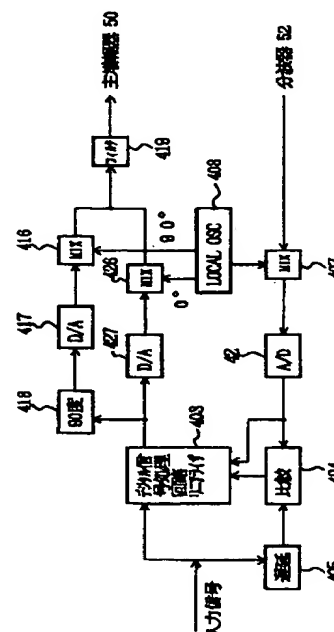
(54) 【発明の名称】 無線通信用基地局

(57) 【要約】

【課題】送信信号の振幅及び位相を補正し、歪みの少ない増幅を行う増幅器を備える無線通信用基地局を提供する。

【解決手段】リニアライズ回路と、高周波電力増幅器との間に設けられたイメージリジェクション型周波数アップコンバータ備え、イメージリジェクション型周波数アップコンバータは、リニアライズ回路の出力を $90^\circ$ 位相シフトする第一の位相シフト回路と、位相シフト回路の出力を $D/A$ 変換する第一の $D/A$ 変換回路と、リニアライズ回路の出力を直接 $D/A$ 変換する第二の $D/A$ 変換回路と、第一の $D/A$ 変換回路及び第二の $D/A$ 変換回路の出力をそれぞれ $I$ 、 $Q$ 直交信号とし、互いに $90^\circ$ 位相のずれた、第一の $D/A$ 変換回路及び第二の $D/A$ 変換回路の出力より高い周波数の発振信号と混合する第一及び第二の混合回路を有する。

### 本発明の第一の実施の形態



1

## 【特許請求の範囲】

【請求項1】送受信アンテナと、該送受信アンテナより放射する送信信号を増幅する高周波電力増幅器と、高周波電力増幅器の出力の一部をデジタル信号に変換するA/D変換器と、該高周波電力増幅器の入力側に設けられ、入力されるデジタルの送信信号と該A/D変換器の出力とを比較して得られる差分を減少させる様に該送信信号の振幅および位相を補正し、歪みの少ない増幅を行うように制御するリニアライズ回路を有する無線通信用基地局において、

該リニアライズ回路と、該高周波電力増幅器との間に設けられたイメージリジェクション型周波数アップコンバータを備え、該イメージリジェクション型周波数アップコンバータは、

該リニアライズ回路の出力を $90^\circ$ 位相シフトする第一の位相シフト回路と、

該位相シフト回路の出力をD/A変換する第一のD/A変換回路と、

該リニアライズ回路の出力を直接D/A変換する第二のD/A変換回路と、

該第一のD/A変換回路及び第二のD/A変換回路の出力をそれぞれI、Q直交信号とし、互いに $90^\circ$ 位相のずれた、該第一のD/A変換回路及び第二のD/A変換回路の出力より高い周波数の発振信号と混合する第一及び第二の混合回路を有することを特徴とする無線通信用基地局。

【請求項2】送受信アンテナと、送受信アンテナより放射する送信信号を増幅する高周波電力増幅器と、高周波電力増幅器の出力の一部をデジタル信号に変換するA/D変換器と、該高周波電力増幅器の入力側に設けられ、入力されるデジタル送信信号と該A/D変換器の出力とを比較して得られる差分が零となる様に該送信信号の振幅および位相を補正し、歪みの少ない増幅を行うように制御するリニアライズ回路を有する無線通信用基地局において、

更に、該高周波電力増幅器の出力を分波する分波回路を有し、該リニアライズ回路と該分波回路との間に設けられたイメージリジェクション型周波数ダウンコンバータを備え、該イメージリジェクション型周波数ダウンコンバータは、

該分波回路の出力を互いに $90^\circ$ 位相のずれた、該分波回路の出力より低い周波数の発振信号と混合する第三及び第四の混合回路と、

該第三及び第四の混合回路のそれぞれの出力をデジタル信号に変換する第一及び第二のA/D変換回路と、

該第二のA/D変換回路の出力を $90^\circ$ 位相シフトする第二の位相シフト回路とを有し、

該第三の混合回路及び第二の位相シフト回路の出力はそれぞれI、Q直交信号として該リニアライズ回路に入力され、該デジタル送信信号と比較されることを特徴とす

2

る無線通信用基地局。

【請求項3】送受信アンテナと、送受信アンテナより放射する送信信号を増幅する高周波電力増幅器と、高周波電力増幅器の出力の一部をデジタル信号に変換するA/D変換器と、該高周波電力増幅器の入力側に設けられ、入力されるデジタルの送信信号と該A/D変換器の出力とを比較して得られる差分を減少させる様に該送信信号の振幅および位相を補正し、歪みの少ない増幅を行うように制御するリニアライズ回路を有する無線通信用基地局において、

該リニアライズ回路と該高周波電力増幅器との間に設けられたイメージリジェクション型周波数アップコンバータを備え、該イメージリジェクション型周波数アップコンバータは、

該リニアライズ回路の出力を $90^\circ$ 位相シフトする第一の位相シフト回路と、

該位相シフト回路の出力をD/A変換する第一のD/A変換回路と、

該リニアライズ回路の出力を直接D/A変換する第二のD/A変換回路と、

該第一のD/A変換回路及び第二のD/A変換回路の出力をそれぞれI、Q直交信号とし、互いに $90^\circ$ 位相のずれた、該第一のD/A変換回路及び第二のD/A変換回路の出力より高い周波数の発振信号と混合する第一及び第二の混合回路を有し、更に該高周波電力増幅器の出力を分波する分波回路を有し、該リニアライズ回路と該分波回路との間に設けられたイメージリジェクション型周波数ダウンコンバータを備え、該イメージリジェクション型周波数ダウンコンバータは、

該分波回路の出力を互いに $90^\circ$ 位相のずれた、該分波回路の出力より低い周波数の発振信号と混合する第三及び第四の混合回路と、

該第三及び第四の混合回路のそれぞれの出力をデジタル信号に変換する第一及び第二のA/D変換回路と、

該第二のA/D変換回路の出力を $90^\circ$ 位相シフトする第二の位相シフト回路とを有し、

該第三の混合回路及び第二の位相シフト回路の出力はそれぞれI、Q直交信号として該リニアライズ回路に入力され、該デジタル送信信号と比較されることを特徴とする無線通信用基地局。

【請求項4】送受信アンテナと、送受信アンテナより放射する送信信号を増幅する高周波電力増幅器と、該高周波電力増幅器の入力側に設けられ、入力される送信信号と該高周波電力増幅器の出力の一部とを比較して得られる差分を減少させる様に該送信信号の振幅および位相を補正し、歪みの少ない増幅を行うように制御するリニアライズ回路を有する無線通信用基地局において、

更に、該送信信号と該高周波電力増幅器の出力との差分を求める回路と、

該差分を求める回路の出力を該高周波電力増幅器の出力

10

20

30

40

50

3

に結合する方向性結合器を有して構成されることを特徴とする無線通信用基地局。

【請求項5】請求項1において、  
該第一及び第二のD/A変換器の最大出力電圧となるMSBが該高周波電力増幅器の特性及び寿命が補償されない直前の値に設定されたことを特徴とする無線通信用基地局。

【請求項6】請求項1、2又は3において、  
前記高周波電力増幅器の出力をデジタル信号に変換するA/D変換器の出力を前記リニアライズ回路に周期的に伝達するように制御する間欠動作制御回路を有することを特徴とする無線通信用基地局。

【請求項7】請求項1、2又は3において、  
前記高周波電力増幅器の出力をデジタル信号に変換するA/D変換器の出力を低速に変換する第一の速度変換回路と、該第一の速度変換回路の出力を更に元の速度に変換する第二の速度変換回路を有し、且つ該第一の速度変換回路と該第二の速度変換回路との間に光ファイバあるいはマイクロ波回線を介在させたことを特徴する無線通信用基地局。

【請求項8】請求項7において、  
前記第一の速度変換回路及び第二の速度変換回路は、FIFO（ファーストイン・ファーストアウト）メモリで構成されることを特徴とする無線通信用基地局。

【請求項9】請求項1、2又は3において、  
前記高周波電力増幅器が、前記送信アンテナに近い前進基地に配置され、該前進基地側と前記リニアライズ回路側間がアナログ光伝送線路により接続されたことを特徴とする無線通信用基地局。

【請求項10】請求項1、2又は3において、  
前記高周波電力増幅器が、前記送信アンテナに近い前進基地に配置され、該前進基地側と前記リニアライズ回路側間がデジタル光伝送線路により接続されたことを特徴とする無線通信用基地局。

【請求項11】請求項10において、  
前記高周波電力増幅器の出力をデジタル信号に変換するA/D変換器の動作を周期的に短い時間だけ間欠的にを行い、該A/D変換器の出力を低速度で前記デジタル光伝送路により前記リニアライズ回路に帰還するように構成したことを特徴とする無線通信用基地局。

【請求項12】請求項10において、  
前記デジタル光伝送線路をN本に分割し、1/Nの速度に低速化したN本のデジタル光伝送路としたことを特徴とする無線通信用基地局。

【請求項13】請求項1、2又は3において、  
複数チャネルの変調波を一括して発生させるグループ変調器を有し、  
該グループ変調器からのマルチキャリア信号を前記入力されるデジタル送信信号とすることを特徴とする無線通信用基地局。

4

【請求項14】請求項13において、  
更に前記グループ変調器の出力側にデジタルフィルタを備え、前記グループ変調器の出力レベルが前記D/A変換器の最大出力電圧（MSB）を越える信号の出力を阻止し、クリッピング雑音の発生を抑えるようにしたことを特徴とする無線通信用基地局。

【請求項15】請求項13において、  
更に前記グループ変調器の出力をモニタし、前記D/A変換器の最大出力電圧（MSB）を越える振幅レベルとなる状態を検知するレベル検知回路と、  
該レベル検知回路の検知出力により、前記複数チャネルの変調波の個々の振幅が減少するように制御する制御回路を有することを特徴とする無線通信用基地局。

【請求項16】請求項1、2または3において、  
前記リニアライズ回路は、プリディストーションを与えるデータを格納するRAMを有し、且つ外部に不揮発性メモリを有し、予め実動作させて得られたプリディストーションを与えるデータを該不揮発性メモリに記憶し、実運用直前に該不揮発性メモリに記憶されたデータを該RAMに転送記憶するようにしたことを特徴とする無線通信用基地局。

【請求項17】請求項16において、  
更に実運用後に、電源を切断する直前に前記RAMに記憶された内容を、前記不揮発性メモリに転送格納することを特徴とする無線通信用基地局。

【請求項18】請求項1、2又は3において、リニアライズ回路を前記送信アンテナを有する前進基地局側に配置し、前記デジタル送信信号をデジタル光ファイバ伝送路もしくはマイクロ波伝送路により該前進基地局に伝送するようにしたことを特徴とする無線通信用基地局。

【請求項19】請求項18において、  
上り信号を低雑音増幅器を通して、アナログ光ファイバ伝送路もしくはマイクロ波伝送路により基地局に伝送するようにしたことを特徴とする無線通信用基地局。

【請求項20】請求項18において、  
前記マイクロ波伝送路は、4～8GHzの超高周波、8～40GHzの準ミリ波、もしくは40～80GHzのミリ波回線であることを特徴とする無線通信用基地局。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、移動体通信等の無線通信用基地局に関する。特に、送信信号の振幅及び位相を補正し、歪みの少ない増幅を行う増幅器を備える無線通信用基地局に関する。

【0002】

【従来の技術】近年移動体通信用等の無線通信装置において、信号伝送の高速化、高多重化の傾向から無線周波数領域において、複数キャリアの信号を共通に電力増幅することが行われる。かかる電力増幅器として、伝送特性の劣化を抑えるために直線性の良い電力増幅器が望ま

れる。

【0003】直線性の良い電力増幅器は、例えばフィードフォワード方式等を想定すると、規模が大きく、消費電力大きく、又価格が高いという特徴がある。一方、デジタル信号処理によって、電力増幅器の歪み補償が出来れば小型、低価格、高電力効率化への可能性が開ける。

【0004】しかし、A/D、D/A変換器は不可欠となる。更に、十分な動作速度を持ち、且つ必要とされる精度(ビット数)を持つA/D、D/A変換器は、未だ入手が困難である。この為に、出力および入力周波数は数10MHz程度が上限となる。それ以上の周波数帯で使用する為には周波数変換が必要となる。

【0005】

【発明が解決しようとする課題】したがって、本発明の目的は、かかる周波数変換を必要とする場合、アップコンバータ、ダウンコンバータに、イメージリジエクション型周波数変換器を使用し、不要側波帯を抑圧し易くし、かつハンドリングパワーを3dB増加させる増幅器を備えた無線通信用基地局、特に移動体通信用に適した小型の無線通信用基地局を提供することにある。

【0006】更に、イメージリジエクション型周波数変換器には90度位相器が必要であるが、比帯域が大きいとパッシブ回路で作製するのが困難である。したがって、本発明は、デジタル信号回路によって容易に作成を可能とする上記無線通信用基地局を提供することにある。

【0007】本発明の更なる目的は、以下に図面を参照して説明される本発明の実施の形態から明らかとなる。

【0008】

【課題を解決するための手段】本発明にしたがう無線通信用基地局の基本的構成は、送受信アンテナと、送受信アンテナより放射する送信信号を増幅する高周波電力増幅器と、高周波電力増幅器の出力の一部をデジタル信号に変換するA/D変換器と、高周波電力増幅器の入力側に設けられ、入力されるデジタルの送信信号と該A/D変換器の出力とを比較して得られる差分を減少させる様に送信信号の振幅および位相を補正し、歪みの少ない増幅を行うように制御するリニアライズ回路を有する無線通信用基地局を対象とする。

【0009】更に、特徴として、前記リニアライズ回路と、高周波電力増幅器との間に設けられたイメージリジエクション型周波数アップコンバータ備え、イメージリジエクション型周波数アップコンバータは、リニアライズ回路の出力を90°位相シフトする第一の位相シフト回路と、位相シフト回路の出力をD/A変換する第一のD/A変換回路と、リニアライズ回路の出力を直接D/A変換する第二のD/A変換回路と、第一のD/A変換回路及び第二のD/A変換回路の出力をそれぞれI、Q直交信号とし、互いに90°位相のずれた、第一のD/A変換回路及び第二のD/A変換回路の出力より高い周

波数の発振信号と混合する第一及び第二の混合回路を有する。

【0010】

【発明の実施の形態】以下図面を参照し、本発明の実施の形態を説明する。尚、図において同一または類似のものには同一の記号又は参照数字を付して説明する。

【0011】更に、本発明の実施の形態を説明する前に、本発明の位置付け及び本発明の前提となるデジタル信号処理回路による歪み補正の構成について説明する。

10 【0012】図1は、本発明の位置づけを説明する図である。本発明の対象とする無線通信用基地局の一例は、公衆通信網0に接続され、公衆通信網0から送られる光多重化信号を、回線終端装置であるDSU(Digital Service Unit)1を終端する。

20 【0013】DSU1で終端された光多重化信号は、ここで電気信号に変換され、MUX/DMUX部2に入力される。MUX/DMUX部2で多重分離され、TDM A部3、モデム部4及び無線周波部5を経てアンテナ53より送り出される。モデム部4は、下り方向(アンテナ53に向かう方向)の信号に対し、複数チャネル分を一括変調する一括変調部40及び一括変調部40の出力をアナログ信号に変換するD/A変換器41を有する。

【0014】D/A変換器41のアナログ出力は、無線周波部5の電力増幅器50により増幅されてアンテナ53を通して出力される。ここで、一括変調部40は、更に電力増幅器50の歪みに対し、信号に予め補正値を与えて歪みを打ち消すリニアライズ機能を有する。

30 【0015】このリニアライズ機能による補正値の大きさは、電力増幅器50の出力の一部を帰還し、この帰還信号のレベルを参照して決められる。またこのリニアライズ機能は、デジタル的に処理されるので、電力増幅器50の出力の一部であるアナログ信号をデジタル信号に変換するA/D変換器42を有する。

【0016】反対にアンテナ53で受信される上り方向の無線周波数信号は、分波回路52により分岐されて低雑音増幅器51に入力される。ここで増幅された信号は、A/D変換器44でデジタル信号に変換され、復調部43で複数チャネルの信号が一括復調される。

40 【0017】そして、TDMA部3、MUX/DMUX部2及び光DSU部1を通して、上記の下り方向(アンテナ53に向かう方向)の信号と反対の処理を行い公衆通信網0に送られる。

【0018】図1において、CCU6は、MUX/DMUX部2、TDMA部3及び一括変調部40/復調部43に対しクロックの供給と、動作タイミングの制御を行う。

50 【0019】図2は、更に本発明の前提を説明するものであり、図1の構成において、MUX/DMUX部2以降で、モデム部4の一括変調部40を主体とする更に詳細な構成ブロック図が示される。尚、TDMA部3に対

7

8

応する構成は省略されている。

【0020】図2において、400は、一括変調部40を構成する群変調器としてのトランスマルチプレクサである。複数のキャリアに対し、キャリア信号発振器412、I、Q信号生成回路410及び変調回路411を有して構成される。トランスマルチプレクサは、複数のキャリアをデジタル信号処理で発生させる為(例えばFFTなどを用いて)アナログの発振器、変調器は不要で、出力はデジタル信号であるが、図は、模式的にアナログ系にて示している。

【0021】トランスマルチプレクサ400の出力は、一括変調部40の一部であるリニアライズ回路402に入力される。

【0022】尚、図2では、アンテナ53に向かう下り方向のリニアライズ回路402のみが示され、また図1では省略されている、無線周波数へ変換回路(アップコンバータ)406及び無線周波数からの逆変換回路(ダウンコンバータ)407が示されている。

【0023】このリニアライズ回路402は、デジタル信号処理回路403、比較器404を有する。遅延回路405は、デジタル信号処理回路403の処理時間を調整するものである。比較回路404は、遅延回路405の出力及びダウンコンバータ407の出力をA/D変換器42によりデジタル信号に変換した出力との振幅、及び位相を比較する。

【0024】デジタル信号処理回路403は、比較回路404の比較結果に基づき、電力増幅器50の歪みを補償するように入力信号に予め補償歪みを与えるように機能する。本発明は、かかるデジタル信号処理回路403を用いた構成を前提とし、A/D変換器401、42及びD/A変換器41の動作速度が数10MHzを上限とする点等を改善したものである。

【0025】図3は、本発明の第一の実施の形態を示すブロック図であり、リニアライズ回路402のみを取り出し、且つかかるリニアライズ回路402に対して本発明により付加された付加回路を有している。

【0026】上記のように、図2の構成では、A/D変換器401、42及びD/A変換器41の出力周波数が数10MHzを上限とするために周波数変換が必要となる。したがって、本発明では、上記アップコンバータ406及びダウンコンバータ407をイメージリジェクション型を使用し、不要側帯波を抑圧し易くし、且つハンドリングパワーを3dB増加させることを可能として歪み発生を抑制する。

【0027】しかし、イメージリジェクション型周波数変換器を使用する場合は、90度位相器が必要となる。

10

図3において、アップコンバータ406をアップコンバータ416と426で構成する。アップコンバータ416には、90度位相器418及びD/A変換器417を通してデジタル信号処理回路403の出力を入力する。一方、アップコンバータ426には、D/A変換器427を通してデジタル信号処理回路403の出力を入力する。

【0028】ここで、90度位相器418は、比帯域が大きいとパッシブ回路で構成することが困難である。デジタル回路で構成すれば容易である。したがって、本発明では90度位相器418をデジタル処理回路で構成し、I、Q信号をそれぞれD/A変換器417、427を通してアナログ信号を得て、イメージリジェクション型アップコンバータ416、426に入力するようにしている。

【0029】図3において、イメージリジェクション型アップコンバータ416、426の出力は、共通にフィルタ419により不要波を除去され、電力増幅器50に入力される。

20

【0030】尚、408は、それぞれ90度位相差を有するローカル信号の発振器であり、アップコンバータ416、426、ダウンコンバータ407に入力される搬送波信号となる。

【0031】図4は、リニアライズ回路402を構成するデジタル信号処理回路(以下、必要によりリニアライザと称する)403の本発明による構成例である。

30

【0032】このリニアライザ403は、最小二乗法(LMS)アルゴリズムを用いて本発明者等により構成されたものである。今図4において、電力増幅器50の歪み関数を $f(p)$ として考える。140はメモリであり、電力増幅器50の歪み関数 $f(p)$ に対して、推定される歪補償係数 $h(p)$ を記憶する。

【0033】更に、142~145は乗算器、146は加算器である。また、141は入力ベースバンド信号 $x(t)$ の絶対値化回路、147はA/D変換器42の出力に対し共役値を得る回路である。比較器404は、ここでは減算器として両入力の差分を出力する減算器により構成される。

40

【0034】図4の構成によりリニアライザ403は、下記の数1の演算を実現する。尚、数1において、 $x(t)$ は入力ベースバンド信号、 $f(p)$ は電力増幅器の歪関数、 $h(p)$ は推定歪補償係数、 $\mu$ はステップサイズ・パラメータである。更に、 $x$ 、 $y$ 、 $f$ 、 $h$ 、 $u$ 、 $e$ は複素数、 $*$ は共役複素数を表す。

【0035】

【数1】

$$\begin{aligned}
 h_n(p) &= h_{n-1}(p) + \mu e(t) u^*(t) \\
 e(t) &= x(t) - y(t) \\
 u(t) &= x(t) f(p) \simeq h_{n-1}^*(p) y(t), \quad h_{n-1}(p) h_{n-1}^*(p) \simeq 1 \\
 y(t) &= h_{n-1}(p) x(t) f(p) \\
 p &= |x(t)|^2
 \end{aligned}$$

【0036】また、 $u(t)$  は電力増幅器50の振幅歪みがあまり大きくない  $h_{n-1}(p) h_{n-1}^*(p) \simeq 1$  と仮定して近似する。

【0037】図5は、図3における90度位相器418の構成例ブロック図である。図5(A)において、90度位相器418には、Qch信号が入力される。一方、Ich信号側は、90度位相器418により遅延時間の調整をする遅延回路54が挿入され、I、Q信号の遅延を合致させる。

【0038】90度位相器418は、基本的にはトランスバースアルフィルタで構成される。55は、トランスバースアルフィルタ用遅延回路であり、シフトレジスタにより構成される。シフトレジスタ55の各段の出力は、乗算器561～56nに入力され、それぞれ重み係数  $a_1, a_2, \dots, a_n$  と乗算される。

【0039】重み係数  $a_1, a_2, \dots, a_n$  は、図5(B)のように決定される。 $H(\omega)$  は、 $-f_s/2 \sim f_s/2$  の間に、 $\pi/2 \sim -\pi/2$  位相推移する関数であり、必要な帯域58において、数2の関数  $h(t)$  が出来るように重み係数  $a_1, a_2, \dots, a_n$  が選ばれる。

【0040】

【数2】

$$h(t) = \frac{1}{2\pi} \int_{-\frac{f_s}{2}}^{\frac{f_s}{2}} H(\omega) e^{j\omega t} d\omega$$

【0041】図6は、イメージ抑圧型アップコンバータ416、426の構成例である。なお、ダウンコンバータも入力方向を逆にするのみで同様に構成される。

【0042】図6(A)において、イメージ抑圧型アップコンバータ416、426は、一対のダブルバランス型変調器60、61及び90度位相器62、63を有して構成される。例として90度位相分配器62に100MHzの信号が入力される。90度位相器62にて互いに90度位相差のある信号が生成され、ダブルバランス型変調器60、61に入力される。

【0043】ダブルバランス型変調器60、61において、1GHzのキャリア信号発振器64から1GHzのキャリアが出力され、90度位相器62の出力と乗算され、90度位相混合器63において混合されて、出力される。

【0044】図6(B)は、上記構成における周波数スペクトラムを示す図である。100MHzの信号は、1GHzの信号と混合され上側帯波USBのみが90度位

\*相混合器63から出力される。

【0045】図7は、ダブルバランス型変調器60、61の構成例であり、ダイオードD1～D4と中間タップ付変成器T1、T2を有する。変成器T1の一次側にキャリア信号発振器64からのキャリアが入力される。更に、変調器60、61の中間タップ間にIF信号即ち、図6の例では100MHzの信号が入力される。

【0046】変調器61の出力OUTからは、図7(B)に示すように上下側帯波LSB、USBが出力される。先に図6において、説明したように、変調器60、61の出力は、90度位相混合器63に入力し、互いに90度位相差を有して混合される。これにより、図7(B)に示す下側帯波LSBが打ち消され、上側帯波のみが出力される。

【0047】図8は、本発明の第二の実施の形態であり、アンテナ53から分波器52を通して送られる下り方向の信号に関して、ダウンコンバータ407(図2参照)の回路を図3と同様の原理により、イメージ抑圧型コンバータ507、517を用いて構成したものである。

【0048】したがって、A/D変換器528の出力が導かれる90度位相器529は、図5に示されると同様にデジタル処理回路として構成される。

【0049】図9は、更に、本発明の第三の実施の形態であり、図3及び図8の構成を結合し、上り方向及び下り方向の信号に対してイメージ抑圧型コンバータ416、426、507、517及び、デジタル処理回路による90度位相器418、529を備えて構成したものである。

【0050】上り方向及び下り方向の信号に対して図9のごとく構成することにより、より精度を高く、電力増幅器である主増幅器50の歪み補償成分の生成をデジタル信号処理回路403において可能となる。

【0051】上記に示した、デジタル信号処理回路403によるデジタルリニアライズ方式では、D/A変換器の出力信号のD/U(信号帯歪みの比)は、D/A変換器のビット精度(ビット数)による。また、入力信号がアナログ信号の場合、これをデジタル化する為A/D変換が必要であるが、このA/D変換雑音が混合し、D/Uを劣化させる。

【0052】この場合、フィードフォワード方式と組み合わせることにより歪みを改善することが可能である。即ち、フィードフォワード方式は、入力信号の一部を分岐し、増幅器の出力の一部と差を求めることにより歪み

11

12

成分を得る。この歪み成分を逆方向に増幅器の出力と加算することにより、歪み成分が打ち消される。

【0053】図10は、本発明の第四の実施の形態を示す図であり、上記フィードホワード方式を採用するものである。

【0054】すなわち、変調器群400の出力を分岐し、一部をA/D変換器401を通してリニアライザ回路402に inputs。他方は、遅延回路102を通して引き算回路101に inputs。引き算回路101では、分岐された入力成分と、電力増幅器50の出力の差を求め、歪み増幅器104（増幅率を低くした低歪の増幅器）により増幅する。更に増幅された歪み成分が方向性結合器105において、電力増幅器50の出力から歪み成分を除去する。

【0055】以上の各形態において、大幅にデジタルリニアライザ402の使用により歪みが軽減されると同時に、僅かな歪み増幅器の消費電力によりさらに10〜20dBの歪み抑圧が可能になる。

【0056】ここで上記に説明した各形態は、基本的にプリデステーション方式であるので、線型補償すべきデバイスの線型性に関するパラメータが変化しなければ、一旦歪み補償データができた後はフィードバックによるデータ更新は必要ない。

【0057】従って、温度や経時変化のようなゆっくりした変動の場合に限って歪み補償パラメータを更新すればよい。これはフィードバックを間欠的に行っても問題無いことを意味している。これにより歪み補償部分の消費電力を削減する事が出来る。

【0058】図11は、かかるフィードバックを間欠的に行う本発明の第五の実施の形態を示すブロック図である。図2又は図3との比較において、図11において、遅延回路405と比較回路404と間、A/D変換器42と比較回路404との間にゲート回路409、411が備えられる。更に間欠動作制御回路7によりゲート回路409、411及びA/D変換器42の動作を間欠に制御し、歪み補償動作を間欠的に動作させる。

【0059】図12は、更に詳細にかかる歪み補償動作を間欠に制御する構成を説明する図である。図12において、間欠動作制御回路7は、相関器70、タイミングジェネレータ71及びクロック発生器72で構成される。

【0060】クロック発生器72からのクロックCLを基準としてクロック $a_0$ 、 $a_1$ 、 $a_2$ を発生し、更に相関器70の入力 $a_3$ 、出力 $a_4$ とする時、各クロックの関係は、図14に示される通りである。

【0061】電力増幅器50からのフィードバック系の間欠動作のデューティを1/10とする場合（例えば、9秒間休止し、1秒間動作を行う）、ある適当な時刻 $t_0$ でオン、 $t_{0+1}$ でオフ、 $t_{0+9}$ で再度オンとなるようにタイミングジェネレータ71からのクロック $a_0$ 、 $a$

1、 $a_2$ の発生が制御される。

【0062】即ち、時刻 $t_0$ 、 $t_{0+9}$ でA/D変換器42、アンドゲート409、411が動作される。したがって、入力信号に図14の $a_3$ ①、②のように位相ずれが生じる場合であっても、 $a_3$ ①の位相の入力信号に正しくタイミングを合わせて出力することが出来る。

【0063】ここで、相関器70の機能は、増幅器50よりフィードバックされたデータが下り方向の送信データのどの部分に相当するかを検知する。図13(A)に示されるように、送信データの例えばMSBが遅延線405を通して入力されるX方向シフトレジスタ701と、増幅器50よりフィードバックされるデータのMSBが入力されるY方向シフトレジスタ702と、X方向シフトレジスタ701及びY方向シフトレジスタ702の各々の段の出力を乗算する複数の乗算器711〜71n及び、これら複数の乗算器711〜71nの出力を合成する合成器703を有する。

【0064】したがって、合成器703からは、送信データとフィードバックされたデータの一致した時点にピーク出力 $a_4$ が現れる。このピーク出力 $a_4$ は、タイミングジェネレータ71に inputs、このタイミングでタイミング信号 $a_1$ 、 $a_2$ が出力される。

【0065】無線基地局と無線周波数を扱う前進基地局とを接続する手段として無線周波を直接アナログ光ファイバ回線で伝送する方式が実用化されている。しかし、一般にE/O、O/E変換部において歪みが発生し、大電力および多数波送信ができない。

【0066】そこで無線周波電力増幅段をアナログ光ファイバ伝送路（E/O変換部、光ファイバ、O/E変換部を含むシステム、又はE/O変換部、光ファイバ、O/E変換部、電力増幅器50を含むシステム）に置き換え、電力増幅器50からの戻り信号も同様にアナログ光ファイバ伝送路によって非線型補償する方式を採用する。これにより光伝送路の歪み、及び高出力増幅器の歪みまで含めて非線型補償が可能となる。

【0067】図15は、本発明の第六の実施の形態を示すブロック図であり、上記の通り無線周波電力増幅段をアナログ光ファイバ伝送路に置き換えたシステム構成例を示すブロック図である。図において、下り方向ではD/A変換器41の出力をE/O変換器151で光信号に変換する。更に、アナログ光ファイバ150を通して送られる光信号を前進基地局において、O/E変換部152により電気信号に変換し、更に電力増幅器50に inputsする。

【0068】電力増幅器50から分岐してフィードバックされる信号は、前進基地局において、E/O変換部151により光信号に変換され、アナログ光ファイバ150を通して無線基地局側に送られ、O/E変換部152により電気信号に変換される。

【0069】図16は、本発明の第七の実施の形態を示



すブロック図である。図15の実施の形態では電力増幅器50からの戻り信号を主線路と同じアナログ光ファイバ150で伝送した。しかし、同様な歪みが発生する為、図16に示すように戻り信号をすぐにA/D変換器42によりA/D変換してデジタルデータに変換する。これを光信号にしてデジタル光ファイバにて伝送することにより歪みの問題から開放される。

【0070】更に、光ファイバにアナログ信号を伝送する方式は、E/O、O/E変換器を構成する素子（レーザダイオード、フォトダイオード等）の非線型性が大きく、したがって、歪みが大きく大電力送信が出来ない。この為、図17に示すように上り方向及び下り方向ともにデジタルファイバ153により構成する。

【0071】即ち、D/A変換部41のインタフェース、電力増幅器からの戻り信号のA/D変換部42とリニアライザ部402のインタフェース（例えば12ビットのバス）部にデジタル光ファイバ伝送路153を接続する。

【0072】かかる方式により、アナログ回路に特有な不安定性、歪みの問題から開放することが出来る。

【0073】ここで上記の光ファイバ伝送路を用いる方法で非線型補償を行うことが可能であるが、通常このデータはかなり巨大（例として12X50=600Mbps）であり、デジタル回線が、アナログにくらべて安価とはいえず、現状において数Km伝送するのは経済的ではない。

【0074】この為、図18に示す第九の実施の形態では複数の光ファイバを用意し、分配器154により複数の低速光ファイバ伝送路に分割して伝送する。更に前進基地局側では合成器155により複数の低速光ファイバ伝送路から送られた光信号を電気信号に変換した後合成器155で合成し、元の高速の規定のクロック速度の信号に変換する。

【0075】更に、別の形態として、FIFO（ファーストイン・ラストアウト）を用いて図19に示されるように、高速信号を低速に変換して処理する構成が出来る。図19の構成では、FIFO回路156により、高速の規定のクロック速度で一定期間A/D変換して得られるA/D変換器42の出力であるデジタルデータを低速（例えば、600Mbpsを1秒サンプルし、これを100分の1の6Mbpsで100秒間かけて伝送する）に変換して伝送する。

【0076】6Mbps程度のデジタル回線のコストは非常に安価であるので、この方法により安価な前進基地局システムを構築出来る。

【0077】図20は、かかる速度変換を用いた実施の形態の詳細即ち、図19に対応する詳細ブロック図である。更に図20に対応する各タイミングのタイムチャートが図21に示される。

【0078】アンドゲート74の出力であるクロックa

0のタイミングでA/D変換器42が動作し、この期間にFIFOメモリ156にデータが蓄積される。ついで、蓄積されたデータは、a<sub>20</sub>のタイミングで読出しが行われ、期間a<sub>10</sub>中低速での読出しが行われる。

【0079】FIFOメモリ156のから読みだされるデータは、E/O変換器151により光信号に変換され、デジタル光ファイバ153を通して送られる。再びO/E変換器152により電気信号に変換されてFIFOメモリ157に書き込まれる。この時、a<sub>21</sub>のタイミングで読みこまれ、a<sub>11</sub>の期間で読み込みが完了する。

【0080】図20において、図21のタイムチャートからも理解出来るように、上記以外の動作は、図12及び図14と同様であるので説明は、省略する。

【0081】伝送線路を光ファイバとする場合は、地下に伝送線路を埋設する必要があるが、これを準ミリ波などのマイクロ波回線で伝送できれば、埋設する必要が無く、低コストでシステムが構築出来る。図22は、かかるシステムの実施の形態を示すブロック図である。

【0082】伝送線路をマイクロ波回線160、161とする他は、これまでに説明した実施の形態と同様である。更に、マイクロ波回線で伝送する場合、電力増幅器からのフィードバック信号を同様にアナログマイクロ回線で戻す方式は歪みの影響を受ける可能性がある。このために図22の形態では、下り方向をデジタルデータ伝送の為にデジタルマイクロ波回線161としている。

【0083】尚、無線回線では高速度デジタルデータを伝送するのは非常に高コストであり、実用的ではない。したがって、図22では更に、図11の第五の実施の形態で説明したと同様に、間欠動作タイミング回路170、171を設けることにより伝送速度を落とすことが可能であり、実用化が可能になる。

【0084】ここで、マルチキャリアの共通増幅器を考えると、全てのキャリアのベクトルが合致した場合の電力まで電力増幅器の飽和電力を設定する必要は無く、必要とされる歪み（D/U）の量に依存して飽和電力を削減できる事が報告されている。例えば、〔RCS-90-4：移動通信用超低歪み多周波共通増幅器-自己調整型フィードフォワード増幅器（SAFF-A）野島、檜橋〕

即ち、多周波合成されたレベルが、レーレー分布にほぼ等しく、ある一定のレベル以上の電力が瞬時値となる頻度は非常に少なく、入力信号がある一定のレベルで制限されていても良いことを意味している。

【0085】ここで、例として電力増幅器50をFETにより構成する場合、そのゲート電圧とゲート電流を検討する。図23は、横軸にゲート電圧（V<sub>gs</sub>）、縦軸にゲート電流（I<sub>gs</sub>）とする。図において、Iは、入力電力分布であるレーレー分布を示している。入力電力のレベル分布は、動作点OPを中心（対象軸）として深い方と浅い方に対称に分布する。



15

16

【0086】ブレイクダウン電圧1Pより深い電圧が印加された場合、急激にゲート電流が増大し、ゲート破壊を引き起こす原因となる。ゲート電流が急激に増大する直前にD/A変換器のMSB（最大電圧）2Pを設定すれば、電力増幅器50のFET素子に印加される電力は、必ずこれ以下であるので、デバイスを劣化させることが防げる。動作点OPを対称軸として2Pに対称の点2P'をとると、やはり2P'もブレイクダウン点1P'の直前になっていることはもちろんである。

【0087】更に、図24はD/A変換器の精度（ビット数）と歪み（D/U）の関係をシミュレートした結果である。出力バックオフ（Output Back Off:OBO）が小さいと、比較的小さなレベルで頭切れをおこす為、D/Uが悪い。この様な場合、D/A変換器の精度を増大してもD/Uが改善されないことが理解出来る。

【0088】逆に、OBOを大きく採ってある場合、D/A変換器の精度を向上すればD/Uもこれに応じて改善されてゆく。この関係は、本発明者等により初めて定量的に把握された事実である。

【0089】以上の関係によれば必要以上に精度の高い、高価なA/D、D/A変換器を用いず、必要とされるD/Uに対して最適のD/A、A/D変換器が存在することが本発明者等により明らかとされた。かかる関係に基づき、D/A変換器の精度（ビット数）の設計により、より効率的な装置が実現出来る。

【0090】一方、これまでの移動体通信用無線基地局では多くの搬送波を発生させるのに、一波につき一個の送信機を設置している。これに対し、グループ変調器を使用することにより、LSI数個によりこの部分を構成することが出来る。グループ変調器の出力はデジタル信号（たとえば、12ビットバス）であるので、この信号をD/A変換してアナログに変換してから大電力増幅器へ入力する。

【0091】これにより、グループ変調器を使用する場合も、アナログ的にリニアライザを入れる（例としてフィードフォワード）よりも、D/A変換器の直前、デジタルリニアライザを挿入する事により、変調部、キャリア合成部、電力増幅部、線型化回路の圧倒的な小型、軽量、低コスト化が可能になる。

【0092】図25は、かかる趣旨により構成される本発明の第十二の実施の形態を示すブロック図である。グループ変調器500の出力をデジタルデータバス501によりデジタル信号処理回路403に接続し、デジタル信号処理回路403により歪み補正値が加えられて、電力増幅器50に入力するように構成されている。

【0093】尚、グループ変調器500は、例えばトランスマルチプレクサとデジタル直交変調器で構成することが出来る。

【0094】一般的に電力増幅器50はOBO量を越えるレベルに対しては制限して動作させる為、スペクト

ラムの瞬時値は平均値より20～30dB程度劣化する。瞬時値はスペクトラムアナライザをピークホールドモードにすることにより測定することができる。

【0095】スペクトラムは通常平均して測定する為、瞬時値はあまり問題にはならないが、瞬時値を低減できれば、平均のD/Uを更に向上させることが出来る。

【0096】入力レベルはデジタル処理部にて判定出来るので、D/A変換器の最大レベルを越えた時（D/A変換器のMSBが飽和電力になるように設定されているものと仮定する）、クリップされた波形を滑らかに整形する事によりスペクトラムの瞬時値もD/Uの改善効果を得ることが出来る。

【0097】図26は、かかる効果を得るための本発明の第十三の実施の形態のブロック図である。図25の形態に対し、グループ変調器500とデジタル信号処理回路403の間にクリップレベル検出回路602とスムージング回路601を有する。なお、ディレイ回路600は、スムージング回路601の動作をクリップレベル検出回路602の処理時間にタイミングを合わせるための回路である。

【0098】図27は、図26におけるディレイ回路600、スムージング回路601及びクリップレベル検出回路602の構成例を示すブロック図であり、スムージング回路601は、基本的にトランスバーサルフィルタを構成する。

【0099】また、図28は、クリップレベル検出を説明する図である。図28に示すように入力電圧振幅IがクリップレベルCLを越える時、レベル検出器602は、これを検出する。

【0100】一方、スムージング回路601は、n段のシフトレジスタ603、重み付けコントローラ604、シフトレジスタ603の各段に対し、重み付けコントローラ604からの重み係数 $a_n$ 、 $a_{n-1}$ 、 $\dots$ 、 $a_1$ 、 $a_0$ 、 $a_{-1}$ 、 $\dots$ 、 $a_{-n}$ を乗算する乗算器 $61n \dots 610 \dots 61n$ 、累算器605及び乗算器606を有する。

【0101】したがって、レベル検出器602により、入力電圧振幅IがクリップレベルCLを越えることを検出した時、重み付けコントローラ604から所定の重み係数を出力する。そして、シフトレジスタ603の各段の値と所定の重み係数とを乗算し、その出力を累算器605に入力して合成する。その結果図28の点線IIに示す波形に平滑化（スムージング）される。

【0102】更に、累算器605の出力は、乗算器606に入力され、係数bと乗算される。この係数bは、タップの中心レベル $a_0$ を図28（I）に示すように1/nとし、図28（II）に示す前後のタップのレベル $a_1$ 、 $a_{-1}$ 、 $\dots$ 、 $a_n$ 、 $a_{-n}$ とレベルが一致させる。

【0103】上記図27に示す形態は、高速のデジタルトランスバーサルフィルタを必要とする。これに対し、

クリップ補正の他の構成として、図29の構成がある。即ち、サンプルレート変換部501、周波数多重部502、チャネルフィルタ503及び直交変調器504で構成されるグループ変調器において、レベル検出器602によりグループ変調器の出力を常時モニタする。

【0104】そして、D/A変換器のMSBを越える振幅レベルになることが明確になる時点で、個々の搬送波の振幅を等量もしくは不等量に減少せしめる。この個々の搬送波の振幅を等量もしくは不等量に減少せしめる構成は、図27と同様の重みコントローラ604を用い、その出力をサンプルレート変換部501において、マッピング部512の出力と乗算器701~70nにより乗算する。

【0105】このように、ローloffフィルタ514の前段階において振幅の減少を行う。これにより、個々のキャリアのベースバンドローloffフィルタによる帯域制限が行われるため、低速にて処理が可能となる。また電圧のクリップも理想的に行われるためにピークホールドモードでの瞬時スペクトラムの劣化も完全に抑圧される。

【0106】更に、リニアライザ回路402のデジタル信号処理回路403には、図4の構成例に示す如く、RAMメモリ140に歪み補正データが格納されるが、この歪み補正データは最初の初期値は不定であり、運用開始直後の歪みは補償されない。

【0107】したがって、本発明の第十四の実施の形態として、図30に示す様に、データ格納用の不揮発性メモリ710を用意する。そして、あらかじめ工場出荷時に、試運転し、最終データを得、この最終データを不揮発性メモリ710に格納する。実運用時の直前にRAM等のメモリ140にこの値をインストールする。これにより非常に短い時間で収束させ、実運用を行うことが可能になる。

【0108】また、運用中に経時変化により歪みデータが変化することが考えられる。このような場合、制御部711により定期点検等で運用を停止する直前にRAM140のデータを不揮発性メモリ710に退避させることにより、次の運用時スムーズな動作が補償される。

【0109】入力信号がバースト状であるTDMA信号(1搬送波)である場合、バーストが開始される直前に短いプリアンブルバーストを発射し、これによりリニアライズデータを作成する。このプリアンブルデータとして、図31に示すように、0から最大値までとる単調増加関数か又は階段波により非常に短い時間にてデータを得ることが出来る。

【0110】図31(A)は、プリアンブル期間Iと主バースト期間IIの関係を表し、図31(B)は、プリアンブル期間Iの関数として、単調に増加し、減少する三角波関数の例を示す。また、図31(C)は、階段波関数とする場合の例を示している。

【0111】ところで、増幅器の歪み補償のためのリニアライズ動作は、前進基地局内で行った方が、戻り信号を伝送路で親基地局へ戻す必要が無い為に経済的である。図32は、本発明の第十五の実施の形態として示されるブロック図である。

【0112】即ち、アンテナ53の存在する側である前進基地局内に、デジタル信号処理回路403を置いて構成される。

【0113】また、図33に本発明の第十六の実施の形態として示されるように、上り信号を複数のスペースダイバシティにより複数のアナログ光ファイバ伝送路154にて基地局に伝送するように構成する。又、アナログ光伝送路に代え、アナログマイクロ波伝送路による上り回線伝送路を設置することも可能である。これにより超小型無線基地局(柱上設置型)の実現が可能になる。

【0114】更に、図34に示されるように、A/D変換器441の高精度、高速化が可能となれば、アナログ伝送路154をデジタル伝送路153に置き換えが可能になる。これにより、安価、高安定、高品質の伝送路を構築出来る。

【0115】

【発明の効果】以上実施の形態にしたがい説明したように、本発明はアップコンバータ、ダウンコンバータに、イメージリジェクション型周波数変換器を使用し、不要側波帯を抑圧し易くする。更に、イメージリジェクション型周波数変換器には90度位相器が必要であり、比帯域が大きいとパッシブ回路で作製するのが困難であるが、本発明は、デジタル信号回路によって容易に作成が可能とする。

【図面の簡単な説明】

【図1】本発明の位置付けを説明する図である。

【図2】本発明の前提を説明する図である。

【図3】本発明の第一の実施の形態を示すブロック図である。

【図4】リニアライザの構成例を示す図である。

【図5】ディジタル信号処理による90度位相器の構成例ブロック図である。

【図6】イメージ抑圧型アップコンバータを示す図である。

【図7】ダブルバランス型変調器の構成例である。

【図8】本発明の第二の実施の形態を示すブロック図である。

【図9】本発明の第三の実施の形態を示すブロック図である。

【図10】本発明の第四の実施の形態を示すブロック図である。

【図11】本発明の第五の実施の形態を示すブロック図である。

【図12】間欠動作の構成を説明する図である。

【図13】相関器の構成例を示す図である。

【図14】図12における各タイミングのタイムチャートである。

【図15】本発明の第六の実施の形態を示すブロック図である。

【図16】本発明の第七の実施の形態を示すブロック図である。

【図17】本発明の第八の実施の形態を示すブロック図である。

【図18】本発明の第九の実施の形態を示すブロック図である。

【図19】本発明の第十の実施の形態を示すブロック図である。

【図20】図19に対応する詳細ブロック図である。

【図21】図20の各タイミングのタイムチャートである。

【図22】本発明の第十一の実施の形態を示すブロック図である。

【図23】入力信号電力分布と半導体デバイスの電流特性を説明する図である。

【図24】D/Aの精度と増幅器の歪みの関係を示す図である。

【図25】本発明の第十二の実施の形態を示すブロック図である。

【図26】本発明の第十三の実施の形態を示すブロック図である。

【図27】クリップレベル検出回路及びスムージング回路の構成例を示す図である。

【図28】クリップレベル検出を説明する図である。

【図29】クリップ補正の他の構成例を説明する図であ

る。

【図30】本発明の第十四の実施の形態を示すブロック図である。

【図31】プリアンプ波形の例を説明する図である。

【図32】本発明の第十五の実施の形態を示すブロック図である。

【図33】本発明の第十六の実施の形態を示すブロック図である。

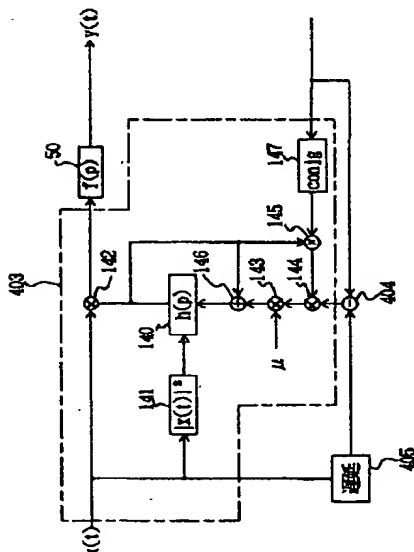
【図34】本発明の第十七の実施の形態を示すブロック図である。

【符号の説明】

- 0 公衆通信網
- 1 光終端装置
- 2 MUX/DMUX部
- 3 TDMA部
- 4 モデム部
- 402 リニアライザ回路
- 403 デジタル信号処理回路
- 404 比較回路
- 405 遅延回路
- 41、417、427 D/A変換器
- 42、44 A/D変換器
- 5 無線周波部
- 50 電力増幅器
- 52 分波器
- 416 アップコンバータ
- 418 90度位相器
- 426 ダウンコンバータ

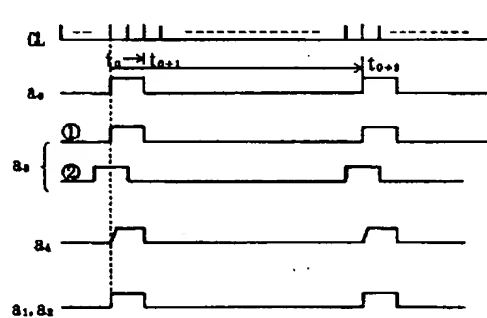
【図4】

リニアライザの構成例



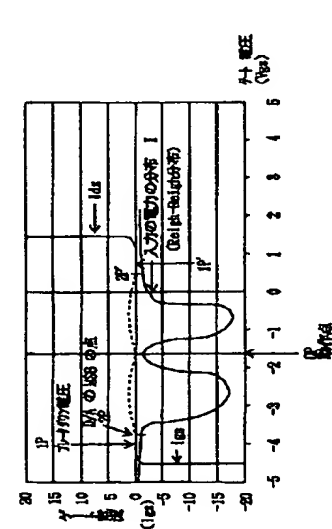
【図14】

図12における各タイミングのタイムチャート



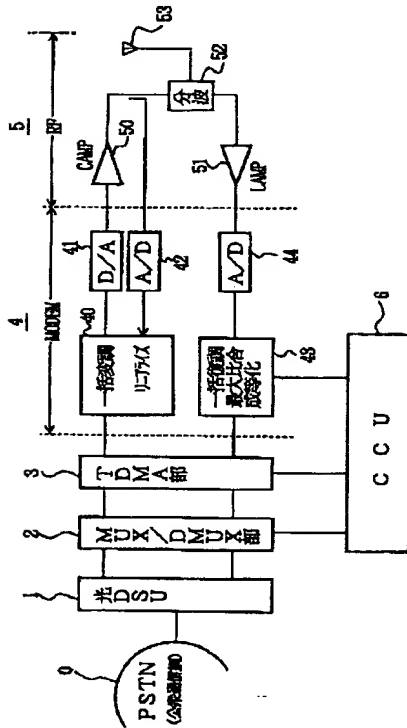
【図23】

入力信号電力分布と半導体デバイスの電流特性



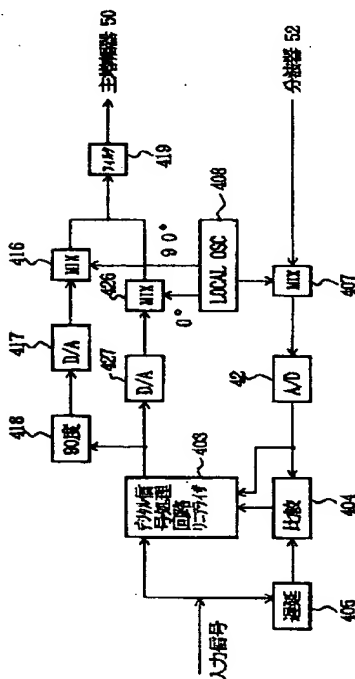
【図1】

本発明の位置付けを説明する図



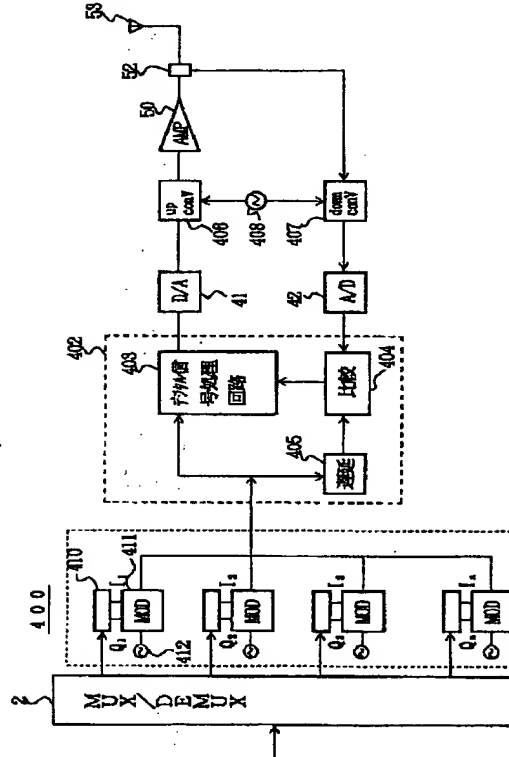
【図3】

本発明の第一の実施の形態



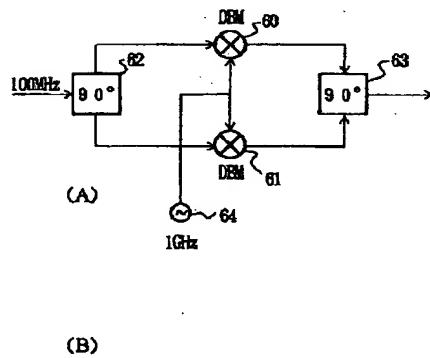
【図2】

本発明の前提を説明する図

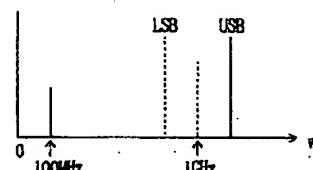


【図6】

イメージ抑圧型アップコンバータ

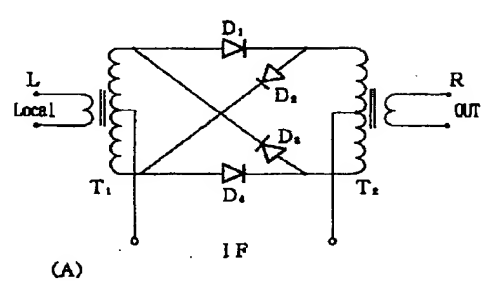


(B)



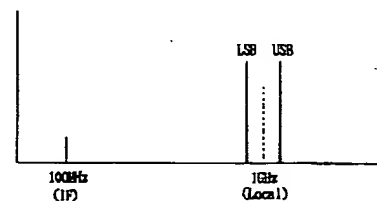
【図7】

DBMの構成例



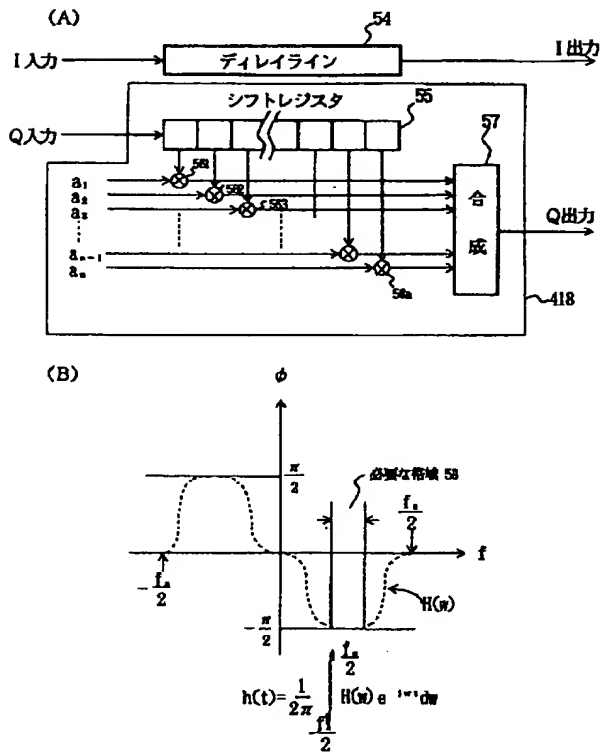
(A)

(B)



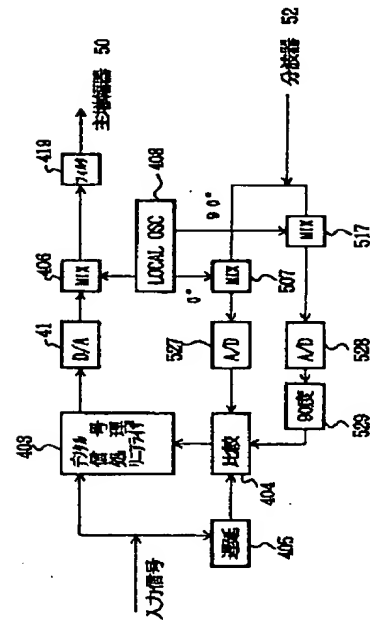
【図5】

デジタル信号処理による90度位相器の構成例



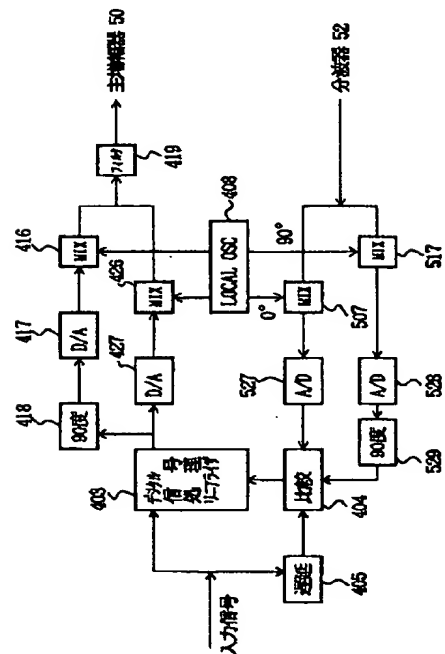
【図8】

本発明の第二の実施の形態



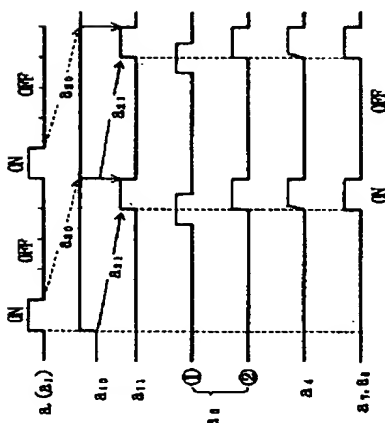
【図9】

本発明の第三の実施の形態



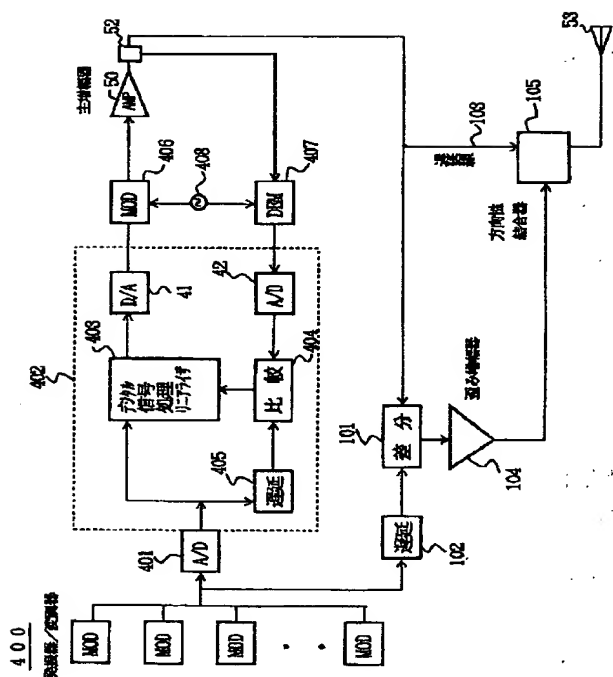
【図21】

図20の各タイミングのタイムチャート



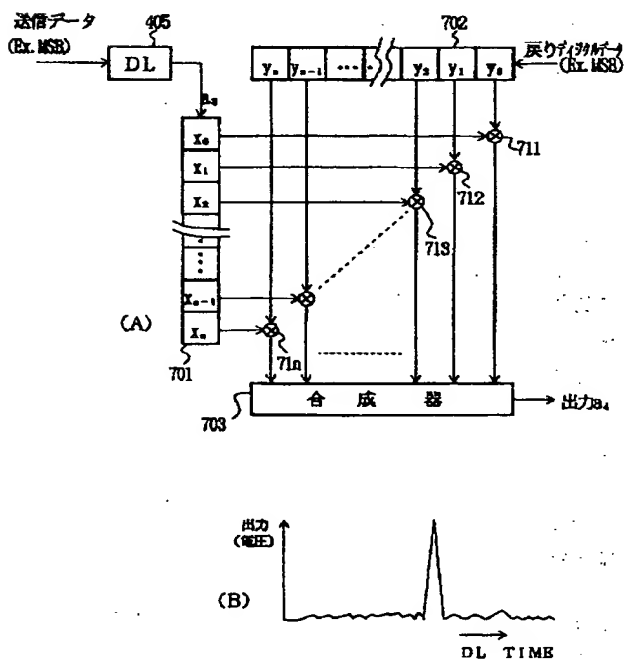
【图 10】

#### 本発明の第四の実施の形態



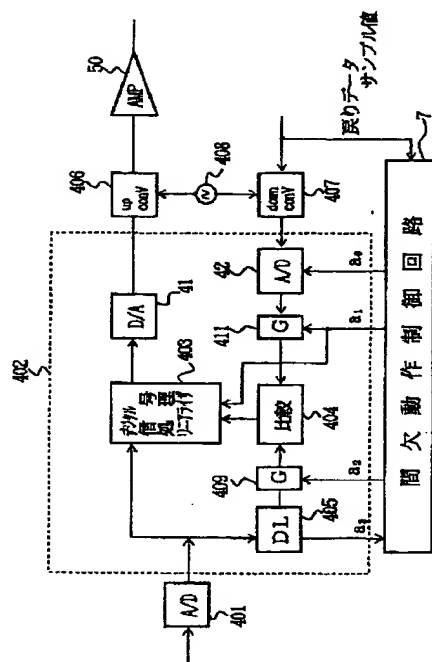
【图 13】

### 相關器構成例



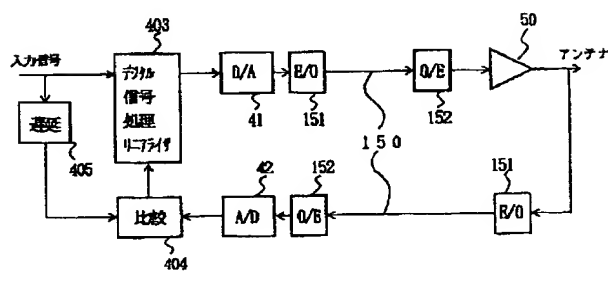
【图 11】

### 本発明の第五の実施の形態



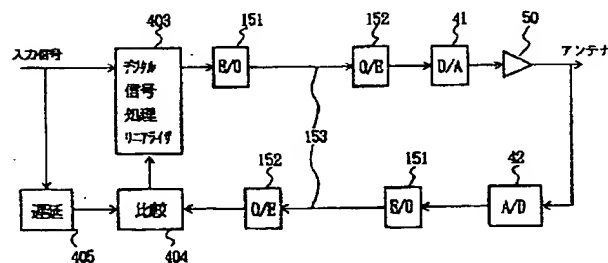
【図15】

### 本発明の第六の実施の形態



【图 17】

### 本発明の第八の実施の形態

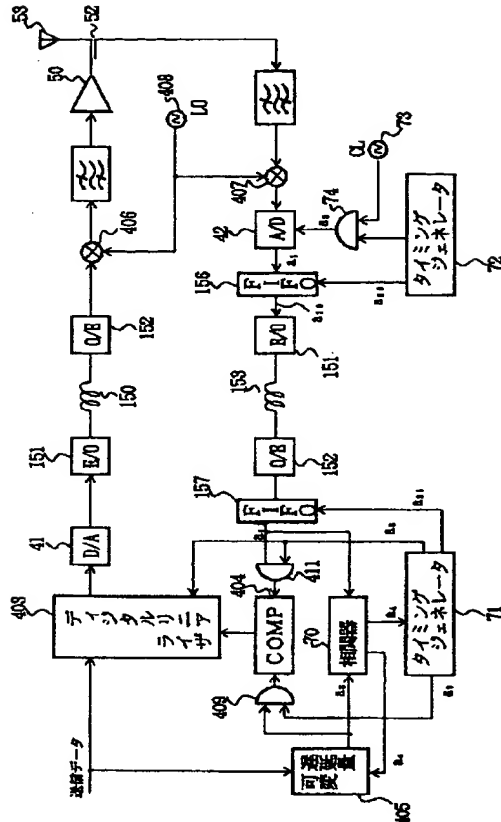






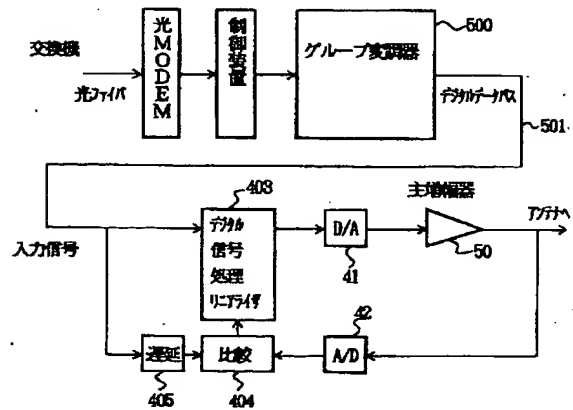
【図20】

図19に対する詳細ブロック図



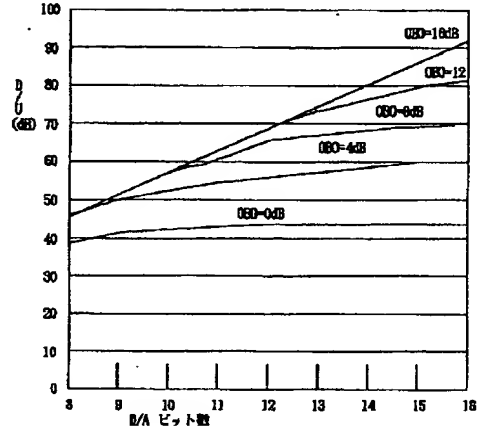
【図25】

本発明の第十二の実施の形態



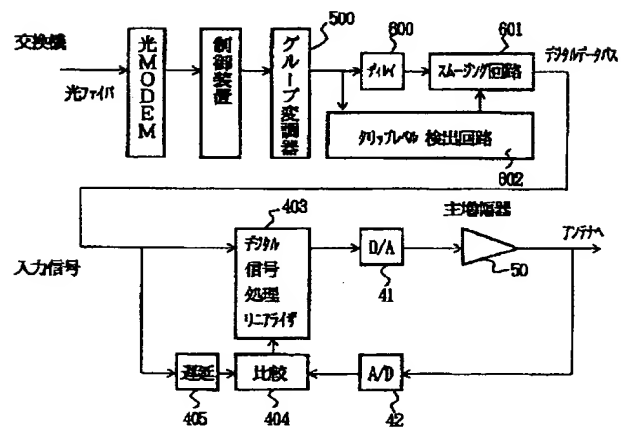
【図24】

D/Aの精度(ビット数)と増幅器の歪み(D/U)の関係



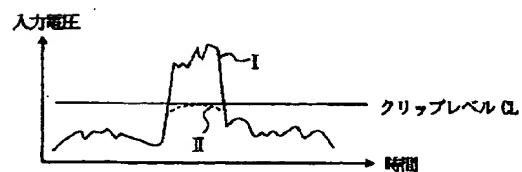
【図26】

本発明の第十三の実施の形態



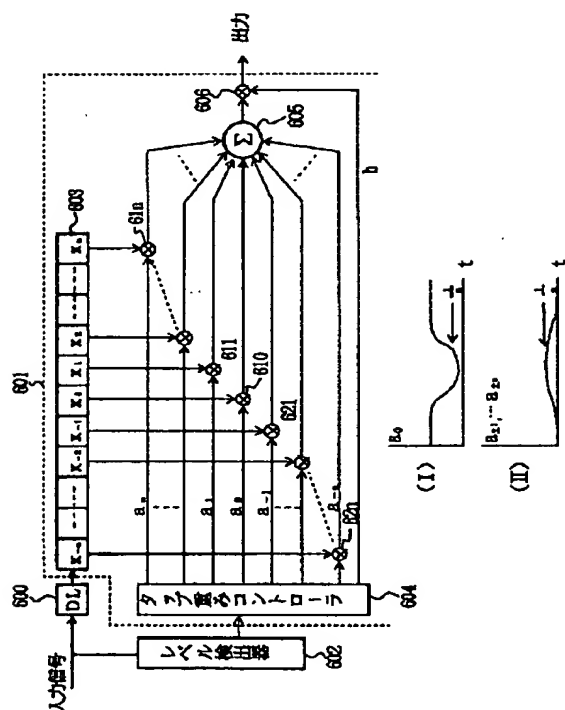
【図28】

クリップレベル検出を説明する図



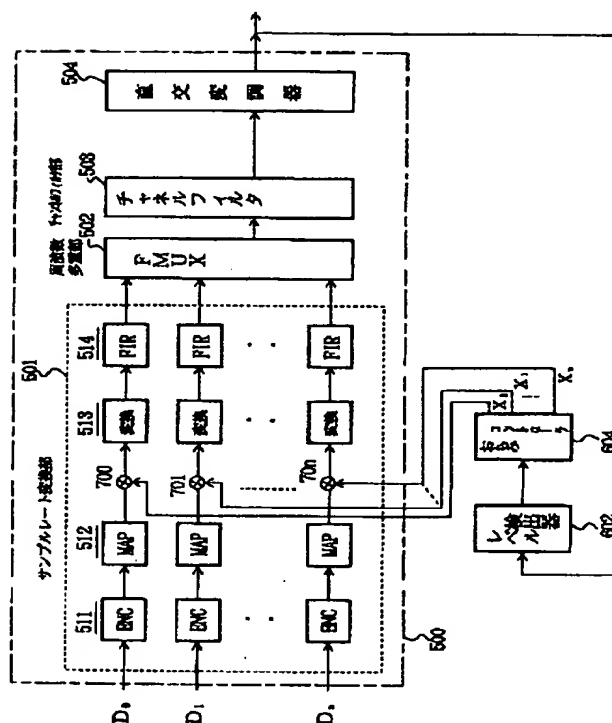
【图27】

### クリップレベル検出回路及び スムージング回路の構成例



【图29】

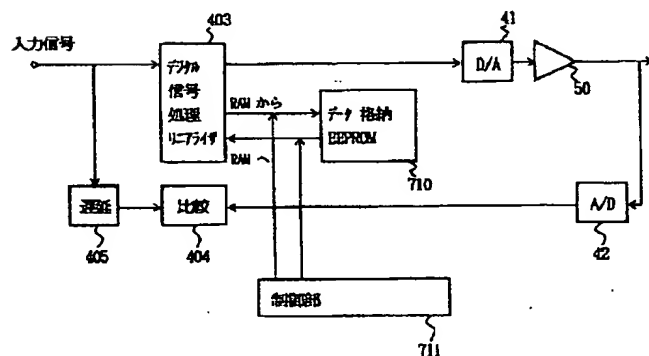
### クリップ補正の他の構成例



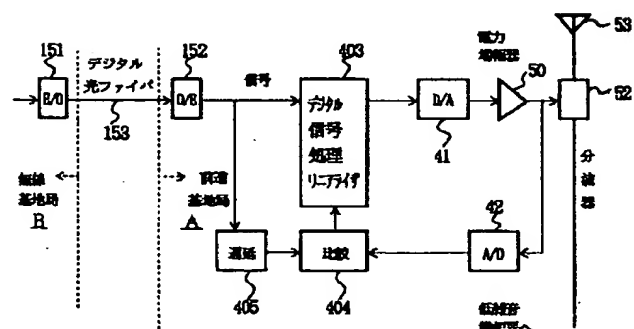
【図32】

【図30】

### 本発明の第十四の実施の形態

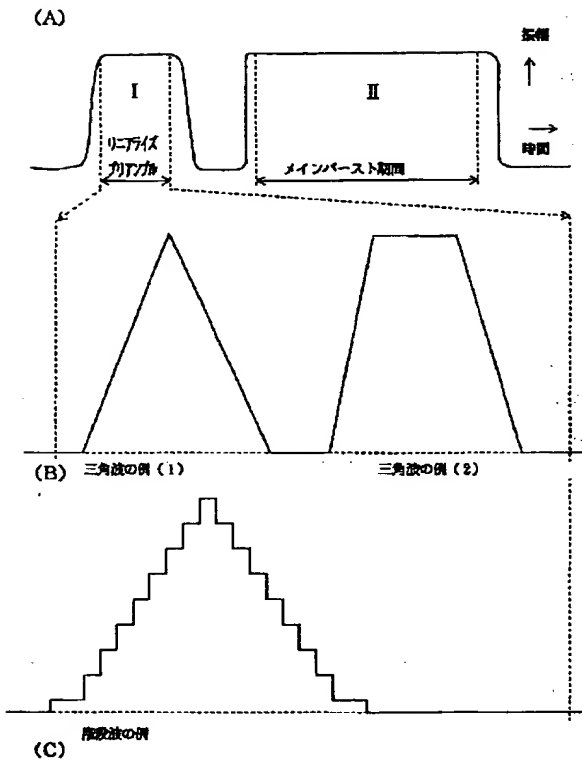


### 本発明の第十五の実施の形態



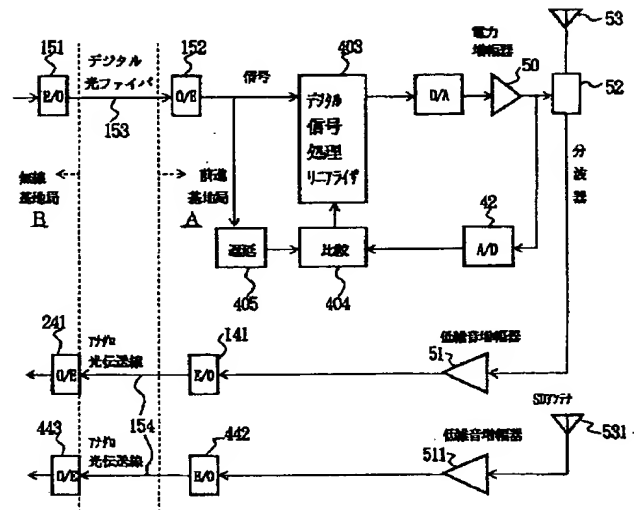
【図31】

プリアンプル波形態



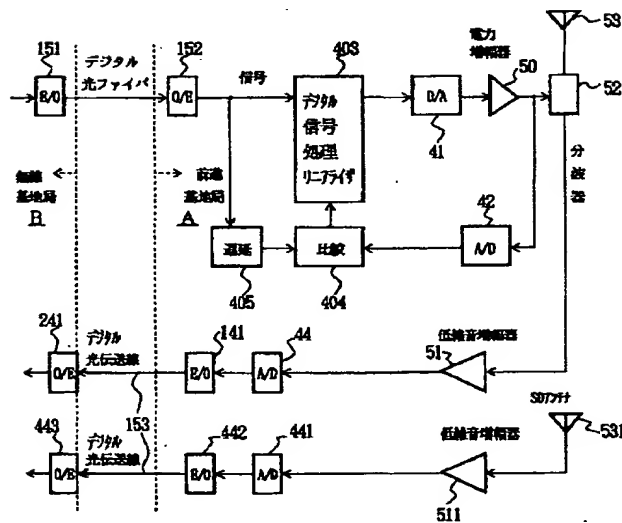
【図33】

本発明の第十六の実施の形態



【図34】

本発明の第十七の実施の形態



フロントページの続き

(51)Int.Cl.<sup>6</sup>

// H 0 3 M 1/00

識別記号

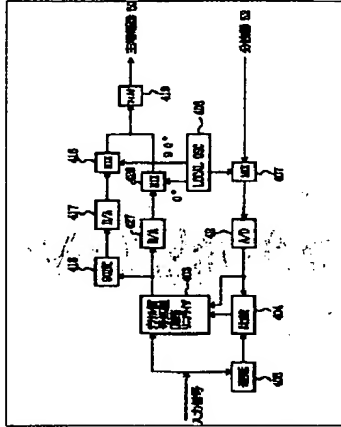
庁内整理番号

F I

技術表示箇所

This Page Blank (uspto)

IN - TAKANO TAKESHI;OISHI YASUYUKI;FUKUDA EISUKE  
I - H04B1/40 ;H03D7/18 ;H03F1/32 ;H04B10/17 ;H04B10/16  
SI - H03M1/00



<First Page Image>

22

**This Page Blank (uspto)**



B6  
(translation)WPI

- TI - Radio communication station with amplifier - includes linearising circuit having image rejection type up, down converters that produces I and Q orthogonal signals transmitted or received in digital form using A/D converters
- AB - J09064780 The station includes an image rejection type frequency up converter (416) and down converter (426) arranged between high frequency power amplifiers. A phase shift circuit (418) shifts the phase of the incoming signal by 90deg and inputs it into a D/A converter. The output of the D/A converter is employed to convert the incoming signal without any phase shift and is fed to the image rejection type frequency down converter, thus forming a circuit which generates I and Q orthogonal signals. A local oscillator (408) outputs an oscillating signal of a higher frequency than the 90deg phase shifted signal and mixes with it.
- The oscillating signal also mixes with non-phase shifted signal. A high frequency power amplifier with a division circuit amplifies the signal emitted from the transmitting antenna as well as the signal received from the receiving antenna. Two A/D converter converts transmitted or received signal into digital form. Comparison is done between digital transmitted signal input and A/D converter digital output, to correct the amplitude and phase of the transmitted signal.
  - USE/ADVANTAGE - In wireless communication. Performs transmitting and multiplexing of signals with high speed, reduced distortion due to elimination of error in phase and amplitude. Increases linearity of power amplifier. Enables suppression of unwanted side bands due image reduction type up, down converters.
  - (Dwg.3/34)
- USAB - US5870668 The circuit searches for error signal of input signal of amplifier. The circuit has adaptive type algorithm (50) that forms compensation coefficient which compensates distortion characteristic component of amplifier from error signal. The compensation coefficient forms output corresponding to input signal.
- The compensation coefficient output is received back to input of amplifier.
  - ADVANTAGE - Compensates distortion of amplifier using adaptive type algorithm.
- PN - JP9064780 A 19970307 DW199720 H04B1/40 019pp
- US5870668 A 19990209 DW199913 H04B7/0005 000pp
- PR - JP19950210870 19950818;JP19950224169 19950831
- PA - (FUITSU) FUJITSU LTD
- IN - FUKUDA E; FURUKAWA H; NAGATANI K; OISHI Y; TAKANO T
- MC - U21-A02 U21-A03 U23-J U24-G03D5 W02-G01B W02-G04B W02-G04C
- DC - U21 U22 U23 U24 W02
- IC - H03D7/18 ;H03F1/32 ;H03M1/00 ;H04B1/40 ;H04B7/0005 ;H04B10/16 ;H04B10/17 ; H03D7/18 ;H03F1/32 ;H03M1/00 ;H04B1/40 ;H04B7/0005 ;H04B16 ;H04B10/17
- AN - 1997-219379 [20]

PAJ

- TI - BASE STATION FOR RADIO COMMUNICATION
- AB - PROBLEM TO BE SOLVED: To easily suppress an unwanted side wave band and to contrive the increase of prescribed quantity of handling power by using image rejection type frequency converters for an up-converter and a down-converter when a frequency conversion is required.
- SOLUTION: When an image rejection type frequency converter is used, a 90 deg.-phase device 418 is required. This 90 deg.-phase device 418 is constituted of a digital processing circuit, then I and Q signals are passed through D/A converters 417 and 418, respectively to obtain analog signals, and the signals are inputted to image rejection type up-converters 416 and 426. As for the outputs of the image rejection type up-converters 416 and 426, unwanted waves are eliminated by a filter 419 in common and the output is inputted to a power amplifier 50. Thus, since the image rejection type converter is used, an unwanted side band wave is easily suppressed, and handling power is increased by 3dB, the occurrence of distortion is suppressed.
- PN - JP9064780 A 19970307
- PD - 1997-03-07
- ABD - 19970731
- ABV - 199707
- AP - JP19950210870 19950818
- PA - FUJITSU LTD

25

**This Page Blank (uspto)**